

METHOD OF MANUFACTURING IMAGE PICK-UP ELEMENT

Publication Number: 09-266295 (JP 9266295 A) , October 07, 1997

Inventors:

- FUKUSHO TAKASHI

Applicants

- SONY CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 08-074304 (JP 9674304) , March 28, 1996

International Class (IPC Edition 6):

- H01L-027/14
- H01L-027/148
- H04N-005/335

JAPIO Class:

- 42.2 (ELECTRONICS--- Solid State Components)
- 29.1 (PRECISION INSTRUMENTS--- Photography & Cinematography)
- 44.6 (COMMUNICATION--- Television)

JAPIO Keywords:

- R004 (PLASMA)
- R097 (ELECTRONIC MATERIALS--- Metal Oxide Semiconductors, MOS)
- R098 (ELECTRONIC MATERIALS--- Charge Transfer Elements, CCD & BBD)
- R100 (ELECTRONIC MATERIALS--- Ion Implantation)

Abstract:

PROBLEM TO BE SOLVED: To provide the method of manufacturing image pick-up element capable of forming a flare stopping film with sufficient coverage for discharging satisfactory flare stopping function, avoiding the decline in image pick-up sensitivity and uneven sensitivity also coping with various processes.

SOLUTION: Within the method of manufacturing an image pick-up element having convex conductor parts (gate electrodes 3, 5, etc.) as well as a sensor region and a flare stopping region, after the formation of the convex conductor part, a flattened film 7 made of a material transparent to the beams detected by the sensor region is formed to selectively remove the part corresponding to the flare stopping region of this flattened film 7 for the formation of a flare stopping film 8 so that the part corresponding to the sensor region of this flare stopping film 8 may be selectively removed.

JAPIO

© 2005 Japan Patent Information Organization. All rights reserved.
Dialog® File Number 347 Accession Number 5651495

<http://toolkit.dialog.com/intranet/cgi/present?STYLE=1360084482&PRESENT=DB=347,AN=565...> 6/13/2005

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 2 6 6 2 9 5

(43) 公開日 平成9年(1997)10月7日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H O 1 L	27/14		H O 1 L	27/14	D
	27/148		H O 4 N	5/335	V
H O 4 N	5/335		H O 1 L	27/14	B

審査請求 未請求 請求項の数 4

O L

(全 6 頁)

(21) 出願番号 特願平8-74304

(22) 出願日 平成8年(1996)3月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 福所 孝

東京都品川区北品川6丁目7番35号 ソニー株式会社内

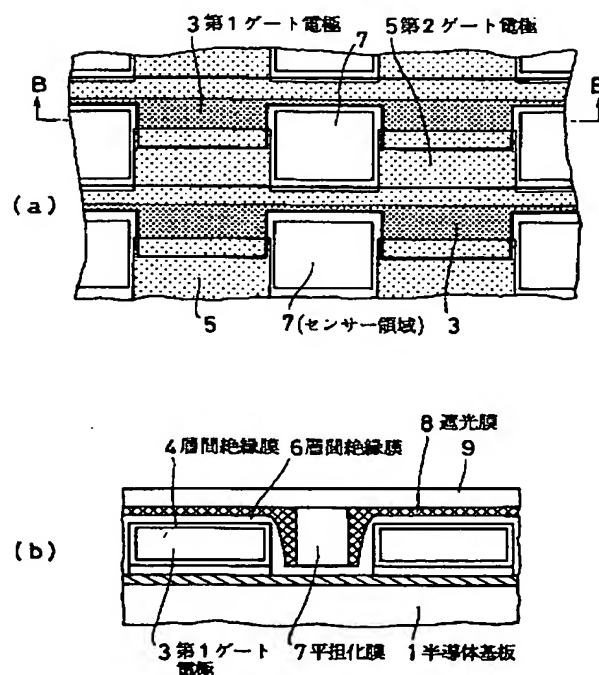
(54) 【発明の名称】 撮像素子の製造方法

(57) 【要約】

【課題】 十分なカバレッジで遮光膜を形成できて十分な遮光機能を有し、センサー領域を十分にとれて撮像感度の劣化や感度ムラを防止でき、多様なプロセスに対応可能とすることもできる撮像素子の製造方法を提供する。

【解決手段】 半導体基板 1 上に凸状の導体部（ゲート電極 3、5 等）を有し、かつセンサー領域と、遮光領域とを有する撮像素子の製造方法において、凸状の導体部を形成後、センサー領域が検知すべき光に対して透明な材料からなる平坦化膜 7 を形成し、該平坦化膜の遮光領域に該当する部分を選択的に除去し、遮光膜 8 を成膜し、ポリッシュ法もしくはエッチバック法により該遮光膜のセンサー領域に該当する部分を選択的に除去する撮像素子の製造方法。

実施の形態例 1 の撮像素子



【特許請求の範囲】

【請求項1】半導体基板上に凸状の導体部を有し、かつセンサー領域と、遮光領域とを有する撮像素子の製造方法において、

凸状の導体部を形成後、センサー領域が検知すべき光に対して透明な材料からなる平坦化膜を形成し、該平坦化膜の遮光領域に該当する部分を選択的に除去し、遮光膜を成膜し、ポリッシュ法もしくはエッチバック法により該遮光膜のセンサー領域に該当する部分を選択的に除去する工程を含むことを特徴とする撮像素子の製造方法。

【請求項2】前記遮光膜は、CVDまたはスパッタにより形成することを特徴とする請求項1に記載の撮像素子の製造方法。

【請求項3】前記遮光膜は、リフローの可能な材料により形成し、形成後リフロー熱処理を施すことを特徴とする請求項1に記載の撮像素子の製造方法。

【請求項4】前記遮光膜は、メタル系材料から形成し、該メタル系材料は、撮像素子の配線部を構成するメタルと同時に形成することを特徴とする請求項1に記載の撮像素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、撮像素子の製造方法に関する。特に、半導体基板上にゲート電極等の凸状の導体部を有し、かつセンサー領域と、遮光領域とを有する撮像素子の製造方法において、その遮光領域の形成の工程に改良を施した撮像素子の製造方法に関するものである。

【0002】

【従来の技術】撮像素子は、可視光等で形成される像を撮影するので、像を受光（本明細書中、可視光に限らず、一般に受像できる信号を「光」と総称して、「受光」「遮光」などと称し、その他これに準じた用語を用いるものとする。）して検知するセンサー領域を備えるとともに、センサー領域以外を遮光領域とする遮光膜を形成する必要がある。従来より撮像素子、代表的には固体撮像素子であるCCD（電荷結合素子）では、長い間、その遮光膜として、メタルスパッタ膜が使用されてきている。従来技術にあっては、メタル特にAlをスパッタして成膜し、これをフォトリソマスクを用いたドライエッチングによって選択的に除去して、センサー領域を開口するようにしている。

【0003】従来技術は、以下に示す問題点をもっている。

①従来のスパッタ技術では、被覆性が必ずしも十分でなく、とりわけ、下地が急峻な段差になっている場合など、十分な遮光を達成できる程度のカバレッジが実現できないことがある。特に、画素の高密度化に伴い、カバレッジが不十分になって遮光機能が十分に達成できなくなり、転送部への光透過成分が増加して、スミア特性

の悪化させる傾向が出てくる。また、OPB（オプティカルブラック）の光透過により、クランプミスを起こすおそれがある。

【0004】②画素はますます高密度化しているが、このような高密度化に伴って、従来のスパッタ技術及びレジストマスクによるエッチング技術ではセンサー領域の開口を十分にとれなくなる傾向が出、このため開口率が低下し、センサー領域への集光効率が落ちて、撮像感度が劣化する傾向にある。

【0005】③画素の高密度化に伴い、センサー部の段差が大きくなり、開口加工の均一性が悪くなって、これがカバレッジをさらに悪化させ、微小な感度ムラで撮像特性を悪化させることにつながる。

【0006】④半導体基板に対して水素化を施す必要がある場合、たとえば、シリコン／二酸化シリコン界面の界面準位緩和のために水素化を施す必要があることがあがあるが、従来技術では、遮光膜の上層部からの水素化を行う以外の工程はとることが困難であった。このため従来技術では、プロセス多様化（たとえば水素化が下層までは至りにくいプロセスをとらざるをえない場合もあり得る）に追従できず、ダーク画像を悪化させることがある。

【0007】

【発明が解決しようとする課題】このように従来技術にあっては、遮光膜形成の際のカバレッジが不十分であることに伴い、遮光機能が劣化したり、またかかるカバレッジの問題とレジストマスクによるエッチングの問題でセンサー領域が十分にとれずに撮像感度が劣化したり、感度ムラを生じさせたりするという問題点を有するものであり、さらに従来技術は、水素化の場合等の各種プロセスについて、多様なプロセスに必ずしも対応できるとは限らないものである。

【0008】本発明は、上記従来技術の問題点を解決し、十分なカバレッジで遮光膜を形成でき、よって十分な遮光機能を有し、かつセンサー領域を十分にとれ、よって撮像感度の劣化や感度ムラを防止でき、さらに水素化の場合等の各種プロセスについても多様なプロセスに対応可能とすることができる撮像素子の製造方法を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するため、半導体基板上に凸状の導体部（ゲート構造など）を有し、かつセンサー領域と、遮光領域とを有する撮像素子の製造方法において、凸状の導体部を形成後、平坦化膜（平坦化リフロー膜など。この平坦化膜は、センサー領域が検知すべき光に対して透明な材料からなる）を形成し、該平坦化膜の遮光領域に該当する部分を選択的に除去し、遮光膜を成膜し、ポリッシュ法もしくはエッチバック法により該遮光膜のセンサー領域に該当する部分を選択的に除去する工程を含むことを特徴

とする構成とする。

【0010】本発明によれば、下地がゲート構造などの凸状の導体部を有することにより段差が生じている場合でも、平坦化リフロー膜などの平坦化膜を形成して平坦化したのち、該平坦化膜の遮光領域に該当する部分を選択的に除去して遮光膜を成膜するので、カバレッジの劣化を抑えることができ（遮光膜の成膜時に段差が急峻であれば、リフロー可能な遮光材料膜を採用するなどの態様や、埋め込み性の良好な成膜手段を採るなどの態様を用いることができる。）、カバレッジ劣化に伴う問題を解決できる。また、センサー領域の開口は、ポリッシュ法もしくはエッチバック法により遮光膜のセンサー領域に該当する部分を選択的に除去する手段によって行うので、レジストマスクによるエッチングと異なり、センサー領域の開口を十分にとれ、開口率が維持でき、センサー領域への集光効率を向上できて、撮像感度の向上や、感度ムラの抑制を実現できる。さらに、水素化の場合等の各種プロセスについては、たとえば平坦化膜（平坦化リフロー膜など）の材料を水素リッチなものを用いるなどの態様をとることによって、かかる各種のプロセスへの対応が可能になる。

【0011】

【発明の実施の形態】以下本発明の実施の形態についてさらに説明し、かつ図面を参照して、本発明の好ましい実施の形態を具体的に説明する。但し当然のことではあるが、本発明は図示実施の形態例に限定されるものではない。

【0012】本発明においては、遮光膜の成膜は、CVDまたはスパッタにより行うことができる。

【0013】また遮光膜は、リフローの可能な材料により形成し、自己リフロー的に成膜したり、形成後リフロー熱処理を施すことにより、遮光膜の被覆性や、埋め込み特性をさらに向上させることができる。

【0014】また、遮光膜をメタル系材料から形成し、該メタル系材料は、撮像素子の配線部を構成するメタルと同時に形成する態様をとることができる。この態様によれば、遮光膜の成膜と、配線部の成膜とを同時に、兼用して行うことができるので、有利である。

【0015】遮光膜とするメタル系材料としては、たとえばAl、Al-SiなどAl系金属あるいはその化合物、WなどW系金属あるいはその化合物、Cu、Cu-SiなどCu系金属あるいはその化合物等を用いることができる。これらは、メタル配線の材料としても使用できるので、プロセス上も有利にできる。

【0016】本発明の実施においては、基板上の凸部をなすゲート電極を形成後、層間絶縁膜上に、高密度プラズマCVD法等のP-SiN/SiO膜やオゾンTEOS CVD等の平坦化膜を形成し、その後、遮光領域のみを選択的にエッチングした部分に、CVD法等により遮光膜を形成する手法をとることができる。

【0017】本発明の実施においては、遮光膜を形成するときに、埋め込み性（被覆性）が良く、かつエッチング等による埋め込み材（メタル等）の加工を不要としてパターニングを行うことができる「ダマシン法」を採用することができる。ダマシン法は、コンタクト形成技術において提案されているもので、埋め込み性良く膜形成したのち、CMP（ケミカルメカニカルポリッシュ）で不要部を除去する技術である。

【0018】本発明の実施においては、遮光膜を形成するときに、自己リフローの可能な材料により、CVDもしくはスパッタにより成膜を行うことができる。このような材料としては、たとえば、Al（あるいはAl-Siなどのその合金または化合物）、Cu（あるいはCu-Siなどのその合金または化合物）等を挙げることができる。膜形成後リフロー熱処理を施すことによって、遮光領域にきわめて良好に遮光材料（メタル等）を埋め込むことができる。

【0019】本発明の実施においては、遮光膜を形成するときに、遮光材料成膜後、ケミカルメカニカルポリッシュ（CMP）法もしくはエッチングバック法により、センサー領域の遮光材料（メタル等）を除去することによって、センサー領域の形成を行うことができる。なお、ケミカルメカニカルポリッシュ法とは、薬液を併用するポリッシュ法で、薬液による化学的なエッチングと、機械的な研磨とが、同時に進行していると考えられるポリッシュ手段である。

【0020】本発明の実施においては、センサー領域が検知すべき光に対して透明な材料からなる平坦化膜を形成するときに、この平坦化膜を、プラズマシリコンナイトライドのように、水素供給源となる材料から形成することができる。このようにすると、下地のたとえばシリコン/二酸化シリコン界面を水素化するのを、特に遮光膜の上層からこの水素化を行う必要なく、水素化が達成でき、プロセスの自由度の面で有利である。

【0021】本発明の代表的な工程について、後記説明する実施の形態例1を示す図である図1、及び図2ないし図4を援用して説明すると、次のとおりである。

【0022】図1（b）に、出来上がり構造を断面図で示す。半導体基板1上に、MOSもしくはMONOS構造で多層（たとえば2層）の転送ゲート電極3、5を形成後（ゲート電極5は、図1（a）参照）、層間絶縁膜4、6をCVD二酸化シリコン等で形成し、その上層に自己リフロー性の高い平坦化膜7（P-SiN（プラズマシリコンナイトライド）、オゾンTEOS-CVD膜、SOG膜等）を形成して、この平坦化リフロー膜でほぼ完全に近い平坦化を達成したのち、遮光領域について、フォトリソグラフィ法と、ドライエッチングプロセスにより、選択的に平坦化膜を除去する（図2）。

【0023】ここに、CVD法によるAl（あるいはAl-Siなどのその合金ないし化合物）、W（あるいは

その合金ないし化合物)、Cu (あるいはCu-Si などその合金ないし化合物) などの高段差被覆性膜を遮光材料膜8' として、自己リフロー形成法、あるいは成膜後のリフロー熱処理により形成し、上記の遮光領域を完全に埋める(図3)。

【0024】その後、CMP法や、エッチバック法により、センサー領域部を除去し、所望の開口を得る(図4)。最後に、保護膜9として、パッシベーション膜を、プラズマCVD法によるP-SiN膜等で形成してこれでカバーして、ウェハ形成工程を終了する(図1(b))。

【0025】実施の形態例1

以下、本発明の好ましい一つの実施の形態例について、図面を参照して詳しく説明する。図1に本例の撮像素子の平面的構成を略示し、図2ないし図4に本例の工程を断面図で示す。

【0026】本例は、画素が高密度になって、センサー開口部の段差が急峻な構造になった撮像素子、特にCCDに、本発明を適用したものである。図1を参照して、本例を説明する。図1(a)は、本例の撮像素子の要部のパターン構造を平面で示すものであり、図1(b)は、本例の撮像素子の要部を断面で示すものである。図1(b)は図1(a)におけるB-B線断面図に該当するが、図1(a)においては、図示の明示のため、第1、第2ゲート電極3、5、及び平坦化膜7のセンサー領域をなす開口のパターンのみを示している。図1

(a)中、第1ゲート電極3は濃い網点で示し、第2ゲート電極5は薄い網点で示すが、第1ゲート電極3の一部が上層の第2ゲート電極5に隠れるので、特に第1ゲート電極3のパターン外形は太線で図示した。本例においては、第1、第2ゲート電極3、5はメタル層から形成した。

【0027】図1に示すように、本例の撮像素子は、半導体基板1 (ここではシリコン基板) 上に凸状の導体部をなす第1、第2ゲート電極3、5を有し、かつセンサー領域7 (図1(a))と、遮光領域(図1(b)の遮光膜8からなる)とを有するCCD撮像素子である。

【0028】本例の撮像素子の製造方法を、略述する。図2のように、半導体基板1 (シリコン基板) 上に、MOSもしくはMONOS構造で多層(図に示す部分では、第1ゲート電極と、この上に形成した第2ゲート電極の2層。図1参照。なお3層以上の多層であっても、もちろん差し支えない) の転送ゲート電極3、5を形成後、層間絶縁膜4、6をCVD二酸化シリコン等で形成し、その上層にここでは自己リフロー性の高い高密度プラズマCVD法によるP-SiN (プラズマシリコンナイトライド)、を成膜し、この平坦化リフロー膜で、ほぼ完全に近い平坦化を達成する。そののち、遮光領域について、フォトリソグラフィ法と、ドライエッチングプロセスにより、選択的に平坦化膜を除去する。

【0029】次に図3のように、上記の除去部分(遮光領域)に、ここでは高段差被覆性膜であるCVD法によるCuを、自己リフロー形成法、あるいは成膜後のリフロー熱処理により平坦に成膜して、上記の遮光領域を完全に埋める。

【0030】その後、図4のように、CMP法や、エッチバック法により、センサー領域部を除去し、所望の開口を得る。最後に、保護膜9として、パッシベーション膜を、プラズマCVD法によるP-SiN膜等で形成してこれでカバーして図1(b)の構成とし、ウェハ形成工程を終了する。

【0031】本例の撮像素子の製造工程につき、さらに詳細に説明すると、次のとおりである。図2ないし図4、及び図1を参照して説明する。

【0032】(1) 半導体基板1 (ここではシリコン基板) に、イオン注入等で、所望の不純物拡散層を形成する。

【0033】(2) 熱酸化や、CVD法により、MOSゲート絶縁膜を形成する。この場合、ゲート絶縁膜構造としては、酸化膜のほか、ONO構造(SiO₂-SiN-SiO₂構造)をとることもできる。図では、ゲート電極を構成するゲート材と基板1との間に、二酸化シリコン、シリコンナイトライド、二酸化シリコンが形成されたONO構造として示してある。なお本明細書中、MOSの語は、メタルーオキサイドー半導体のみならず、一般に、導電材ー絶縁材ー半導体を示すものとして用いられる。

【0034】(3) 第1ゲート電極3として、メタル電極を形成する。具体的には、メタル層をCVD法により堆積し、フォトリソグラフィ技術によるレジストマスク形成と、ドライエッチング技術等によりパターンニングして、必要なパターンに形成する。

【0035】(4) さらに、電極間の層間絶縁膜4を、第1ゲート電極3をおおように形成する。ここでは具体的には、HTO/TEOS等をLP-CVD法で成膜することにより、電極間の層間絶縁膜4を形成する。

【0036】(5) 続けて、第2ゲート電極5 (平面パターン図である図1(a)参照) を、第1ゲート電極3と同様に形成し、加工する。3層以上の電極構造の場合は、以上のゲート電極形成、電極間の層間絶縁膜形成の工程を繰り返す。

【0037】(6) 電極間の層間絶縁膜4の上層に、層間絶縁膜6を形成する。この層間絶縁膜6は、AP (常圧)-CVD法等によるSiO₂により形成することができる。

【0038】(7) 続けて、平坦化膜7を形成する。ここでは、自己平坦性の高い高密度プラズマCVD法のシリコンナイトライド(SiNまたはSiOまたはSiON組成)膜を堆積して、ほぼ完全に近い平坦化を施す。

【0039】(8) こののち、平坦化膜7 (リフロー

膜)の選択的な除去を行う。フォトリソグラフィ技術と、ドライエッチング技術等により選択的な除去を行ってパターニングするが、このとき、下地の層間絶縁膜6との選択比を大きくしたエッチング条件を選ぶ。以上までの工程で、図2の構造とする。

【0040】(9)こののち、必要に応じてバリアメタル形成後、遮光膜8とする遮光材料、ここではメタル特にCuを成膜する。ここではCuのCVD膜(あるいはスパッタ膜)を、自己リフロー的に成膜、あるいは成膜後熱処理することにより、ダマシン法による埋め込みを行い、遮光材料膜8'とする。本例では、Cu膜を遮光膜8とするのであるが、このCu膜を、撮像素子の配線部を構成する膜と兼用して成膜するようにした。すなわち本例では、Cu膜の遮光機能を利用するとともに、導電材としても最も望ましい材料の一つであることに着目して、Cu遮光膜成膜を、撮像素子の配線部を構成するメタルの形成と同時に形成させるようにしたのである。以上までの工程で、図3の構造とする。

【0041】本例では具体的には、Cuを遮光材料として成膜する場合について、次の条件でCVD膜を形成するようにした。すなわち、有機銅化合物を用いたメタルオルガノCVD法により、銅膜を形成する。その後、加熱して成膜されたCuをリフローさせ、さらに良好に埋め込む。本例では後工程でポリッシュ(またはエッチングバックでもよい)を行うので、膜厚は、埋め込み及びゲート電極を覆った厚さであれば、それほど厳密に制御する必要はない。

【0042】あるいは、下地膜として、W、Mo、またはTiN膜を形成して、Cuをスパッタ成膜する。下地膜が上記のようなものであると、「鬆」(す)の発生なく、良好な埋め込みができる。その後、加熱してスパッタ成膜されたCuをリフローさせ、さらに良好に埋め込む。

【0043】(10)さらに遮光領域以外の遮光材料膜8'を除去して、センサー領域を開口させる。具体的には、ケミカルメカニカルポリッシュ法(たとえばアルミナスラリーを用いたケミカルメカニカルポリッシュ法)、もしくはエッチバック法により、センサー領域に該当する部分の遮光材料膜8'を除去する。平坦化膜7は、受光する信号に対して透明であるので、遮光材料膜8'が除去されて、平坦化膜7が露出したところが、センサー領域(受光部)となる。以上までの工程で、図4の構造が得られる。

【0044】(11)最後に、保護膜9であるパッシベーション膜を、P-CVD法のP-SiN等で形成し、ウェハ形成工程を終了する。以上の工程で、図1の構造が得られる。

【0045】本例によれば、次の具体的な効果を得ることができる。

1. 高段差被覆性をもったCVDメタル膜(特にここで

はCu膜)を遮光膜とした固体撮像素子を作製できるので、素子小型化と高密度化が達成され、HD(High-definition)用途などの小型ビデオカメラ、特に家庭用小型ビデオカメラ等としても好適なビデオカメラの商品化が可能になる。

2. 遮光領域を、ほぼ完璧な被覆性をもつCVDメタル膜、もしくはCVD後リフロー処理したメタル膜、もしくはスパッタ後リフロー処理したメタル膜とすることにより、カバレッジが非常に良好になって、光透過成分がなくなり、スミア特性及びOPB(オプティカルブラック)領域の光透過によるクランプミスが改善される。

3. センサー領域の開口部がメタル膜で筒状に包まれた構造となり、集光効率が向上し、撮像感度が改善される。

4. 上記のように高段差被覆性をもったメタル膜を、遮光領域にのみ自己整合的に形成させることにより、センサー開口のばらつきのない加工ができ、微小な感度ムラの撮像特性の向上を図ることができる。

5. 平坦化膜(リフロー膜)として、平坦化が良好な自己平坦化P-SiNを使用したので、きわめて平坦性良く成膜できるとともに、P-SiNは水素供給源となるので、水素化を促進でき、たとえば遮光膜の上層からの水素化を不要、もしくは簡略化しても、十分な水素化ができ、よって撮像のダーク特性を向上できる。

【0046】実施の形態例2

この実施の形態例では、実施の形態例1におけるP-SiNに代えて、オゾンTEOS-CVD膜を用いて、平坦化膜を形成した。本例でも良好な平坦化が達成でき、実施の形態例1とほぼ同様の効果を得ることができた。

【0047】実施の形態例3

この実施の形態例では、実施の形態例1におけるP-SiNに代えて、SOG膜を用いて、平坦化膜を形成した。たとえば、溶剤に溶かして塗布可能にしたシラノール系SOGを用い、これを塗布、焼成して、平坦化膜を形成した。本例でも良好な平坦化が達成でき、実施の形態例2と同様の効果を得ることができた。

【0048】実施の形態例4

この実施の形態例では、実施の形態例1における銅に代えて、アルミニウムを用い、成膜後リフローして、同様な埋め込みを達成した。本例でも、実施の形態例1とほぼ同様の効果を得ることができた。

【0049】実施の形態例5

この実施の形態例では、実施の形態例1における銅に代えて、タングステンをを用い、遮光膜を形成した。本例でも、実施の形態例1とほぼ同様の効果を得ることができた。

【0050】

【発明の効果】上述のとおり、本発明によれば、半導体基板上に凸状の導体部を有し、かつセンサー領域と、遮光領域とを有する撮像素子について、十分なカバレッジ

9

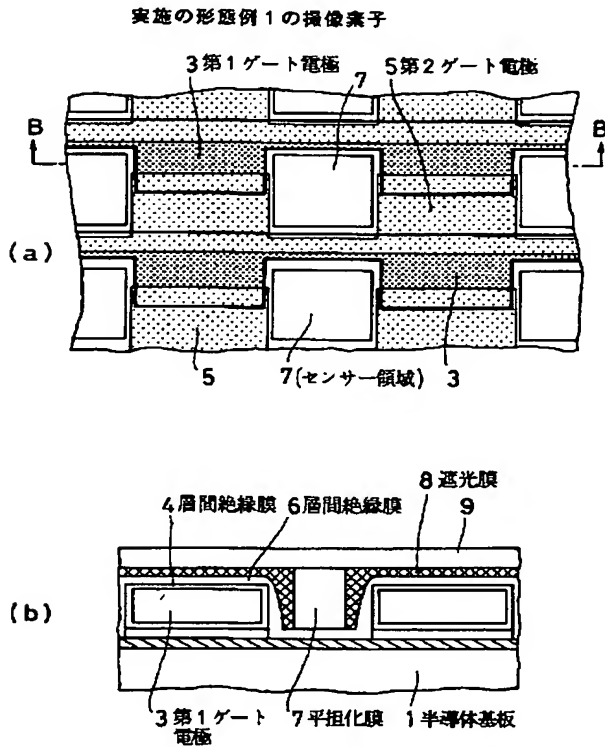
で遮光膜を形成でき、よって十分な遮光機能を有し、かつセンサー領域を十分にとれ、よって撮像感度の劣化や感度ムラを防止でき、さらに水素化の場合等の各種プロセスについても多様なプロセスに対応可能である撮像素子の製造方法を提供することができた。

【図面の簡単な説明】

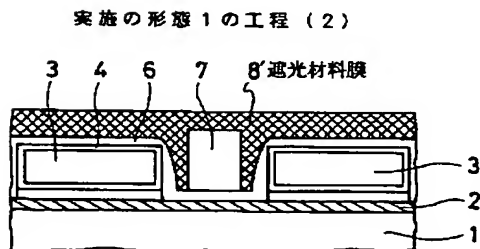
【図1】 本発明の実施の形態例1に係る撮像素子の構成を示す図であり、(a)はパターンの平面構造を示す図、(b)は(a)におけるB-B線断面図である。

【図2】 本発明の実施の形態例1の工程を順に断面図で示すものである(1)。

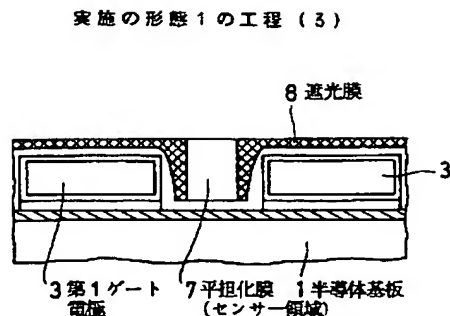
【図1】



【図3】



【図4】



10

【図3】 本発明の実施の形態例1の工程を順に断面図で示すものである(2)。

【図4】 本発明の実施の形態例1の工程を順に断面図で示すものである(3)。

【符号の説明】

1・・・半導体基板、2・・・ゲート絶縁膜(ゲート酸化膜)、3・・・第1ゲート電極、4・・・層間絶縁膜、5・・・第2ゲート電極、6・・・層間絶縁膜、7・・・平坦化膜(リフロー膜)、8・・・遮光膜、9・・・保護膜。